



(19)

(11) Publication number:

11074480 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09249344

(51) Intl. Cl.: H01L 27/108 H01L 21/8242 H01L 21/3205

(22) Application date: 29.08.97

(30) Priority:

(43) Date of application
publication: 16.03.99(84) Designated
contracting states:

(71) Applicant: OKI ELECTRIC IND CO LTD

(72) Inventor: YAMATE MASAHIRO
KOBAYASHI YASUTAKA

(74) Representative:

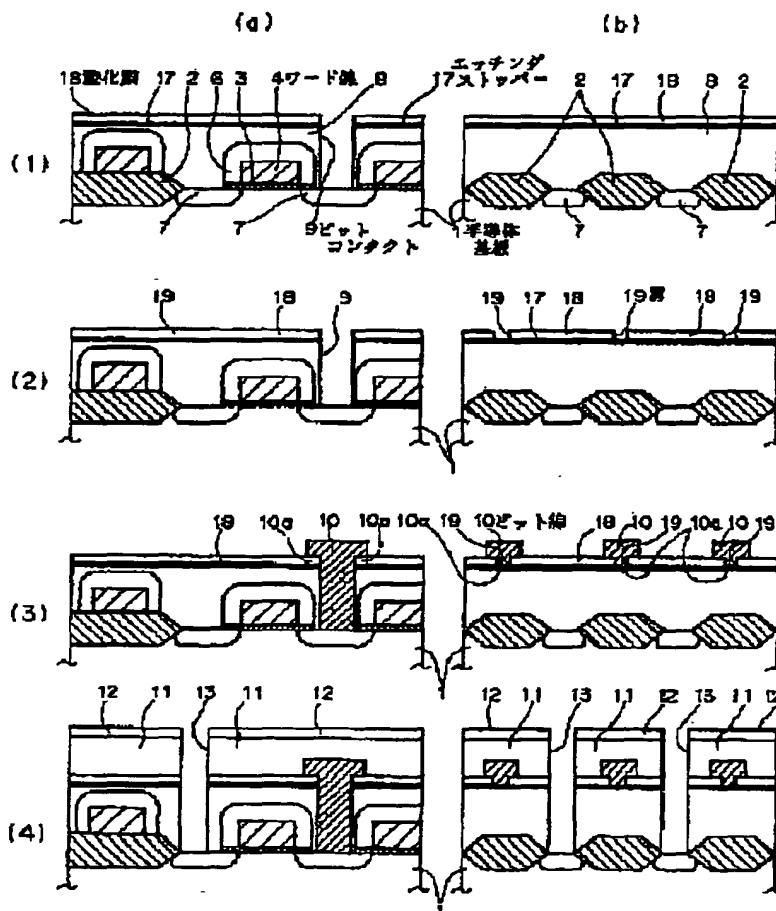
(54) SEMICONDUCTOR
MEMORY AND ITS
MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To eliminate the need for apprehension about the movement of bit lines during a heat treatment.

SOLUTION: When a semiconductor memory is provided with bit lines 10 for inputting and outputting data to and from memory cells formed on the surface of a semiconductor substrate 1, grooves 19 which are extended along the wiring direction of the bit lines 10 are formed into an oxide film 18 and the bit lines 10 are arranged in such a state that the bit lines 10 are engaged with the grooves 19. Since the bit lines 10 are engaged with the grooves 19, the bit lines 10 are firmly fixed to the oxide film 18. Therefore, the bit lines 10 are not moved even when stresses are applied to the side faces of the bit lines 10.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74480

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
21/3205

H 0 1 L 27/10
21/88

6 8 1 B
B

審査請求 未請求 請求項の数 8 F D (全 9 頁)

(21) 出願番号 特願平9-249344

(22) 出願日 平成9年(1997) 8月29日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山手 正浩

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 小林 康孝

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

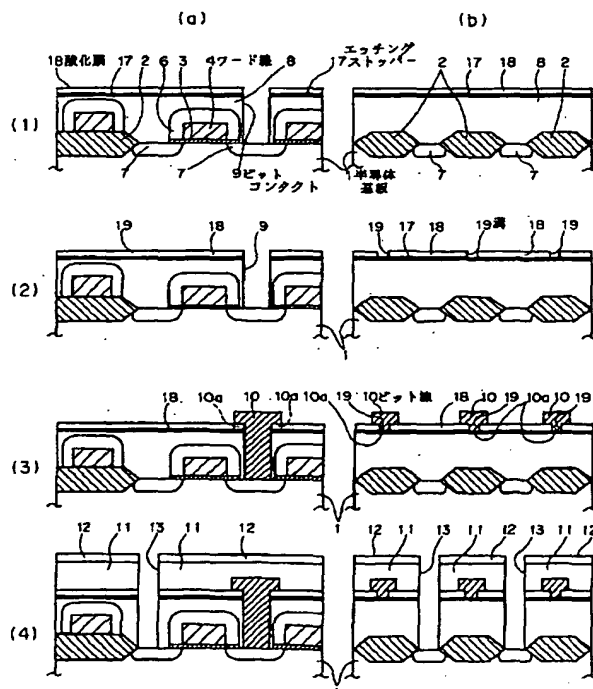
(74) 代理人 弁理士 萩原 康司 (外2名)

(54) 【発明の名称】 半導体メモリ及びその製造方法

(57) 【要約】

【課題】 熱処理工程の際にビット線が移動する心配の無い半導体メモリ及びその製造方法を提供する。

【解決手段】 半導体基板1の表面に形成されたメモリセルにデータを入出力させるためのビット線10を備えた半導体メモリにおいて、ビット線10の配線方向に沿って伸びる溝19が酸化膜18に形成され、この溝19に係合させてビット線10が配置されている。溝19に係合してビット線10が配置されているので、酸化膜18に対してビット線10はしっかりと固定された状態となる。このため、ビット線10の側面に応力が加わっても、移動しない。



【特許請求の範囲】

【請求項1】 半導体基板の表面に形成されたメモリセルにデータを入出力させるためのビット線を備えた半導体メモリにおいて、前記ビット線の配線方向に沿って伸びる溝が半導体基板に積層された酸化膜に形成され、該溝に係合させてビット線が配置されていることを特徴とする半導体メモリ。

【請求項2】 前記ビット線の配線方向に直交する断面形状が、「T」字型であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記ビット線の配線方向に直交する断面形状が、「エ」字型であることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記ビット線の配線方向に直交する断面形状が、前記溝の断面形状と同じ形状であることを特徴とする請求項1に記載の半導体装置。

【請求項5】 半導体基板に積層された酸化膜上にビット線を形成する工程と、キャパシタ部を形成する工程を含む半導体メモリの製造方法において、前記酸化膜上のビット線形成予定領域にビット線の配線方向に沿って伸びる溝を予め形成する工程と、該溝に係合させてビット線を形成する工程を含むことを特徴とする半導体メモリの製造方法。

【請求項6】 前記溝を形成する工程が、前記酸化膜をエッチングする工程を含むことを特徴とする請求項5に記載の半導体メモリの製造方法。

【請求項7】 前記酸化膜が、互いにエッチングレート異なる複数の酸化膜部を積層させた構成を備え、前記酸化膜をエッチングする工程により、溝の内側面に凹凸を形成させることを特徴とする請求項6に記載の半導体メモリの製造方法。

【請求項8】 ビット線を形成する工程が、導体を堆積する工程と、該導体を所望の形状にエッチングする工程を含むことを特徴とする請求項5、6又は7のいずれかに記載の半導体メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えばダイナミックランダムアクセスメモリ(DRAM)のごとき半導体メモリとその製造方法に関する。

【0002】

【従来の技術】今日、様々な電子機器で半導体メモリが使用されている。半導体メモリの一つであるDRAMは、メモリセルを構成しているキャパシタ部の充放電によってデータの書き込みと読み出しを行っている。データの書き込みは、ワード線の電位を上げてトランジスタをオンにし、選択したビット線からデータに対応した電荷をキャパシタ部に充電することによって行われる。また、読み出しは、トランジスタをオンにしたときにキャパシタ部に蓄えられた電荷によってビット線に現れる電

位を検出することによって行われる。かかるDRAMは、構造が比較的簡単で高集積化・大容量化がし易いため、コンピュータやOA機器などの主記憶装置として大量に使用されている。

【0003】ここで、従来のスタック(積層)型のメモリセルの構成を、その製造方法に従って図7、8を用いて説明する。なお、図7、8において左側に示した図(a)はメモリセルの構成をワード線104の配線方向に直交する断面で示しており、右側に示した図(b)はメモリセルの構成をビット線110の配線方向に直交する断面で示している。

【0004】まず、図7(1)に示すように、半導体基板(シリコン基板)101の表面にフィールド酸化膜102を形成する。その後、図7(2)に示すように、ゲート酸化膜103を形成する。そして、フィールド酸化膜102の上にポリシリコンを積層してホトリソ/エッチングによりパターンニングすることにより、ワード線104を形成する。更に、ワード線104を覆うようにCVD酸化膜105を設け、次いでLP-CVD法により厚い酸化膜を堆積し、RIE法によりエッチングするとサイドウォール106が形成される。その後、イオン注入法で拡散層107を形成する。

【0005】次に、図7(3)に示すように、第1の絶縁膜としてリンやボロンを含んだ酸化膜108を常圧CVD法によって堆積し、熱処理によりフローを行った後、ホトリソ/エッチングによりビットコンタクト109を開口する。次いでポリシリコンを堆積してホトリソ/エッチングすることにより、図7(4)に示すように、ビット線110を形成する。その後、図7(5)に示すように、第2の絶縁膜として、常圧CVD法により、リンやボロンを含んだ酸化膜111を堆積し、熱処理によりフローを行う。

【0006】次に、後工程で形成するキャパシタ絶縁膜を薄く形成し、十分なキャパシタ容量を確保するために必要な、厚い酸化膜112をLP-CVD法により堆積した後、ホトリソ/エッチングによりセルコンタクト113を開口する。次に、図8(6)に示すように、キャパシタ部となるストレージ電極114を形成する。更に、図8(7)に示すように、薄い窒化膜から成るキャパシタ絶縁膜115及びセルプレート電極116を順次形成するとメモリセルの主要部は完成する。

【0007】

【発明が解決しようとする課題】このようにしてメモリセルにキャパシタ部を形成する場合、不純物を活性化する目的などで熱処理工程が行われる。その際、リンやボロンを含んだ流動性を有する酸化膜111上に、応力を有する膜が存在していると、酸化膜111が熱応力により流動することとなる。その結果、ビット線110も側面から応力を受け、配線長の長い箇所では、パターンも一緒に移動するという不具合が生じる心配がある。この

ようにビット線110のパターンが移動してしまうと、半導体メモリが正常に動作しなくなってしまう。

【0008】一方、酸化膜111上に応力を有する膜が存在しない場合は、キャパシタ絶縁膜115の膜厚を薄くできず、半導体メモリを正常に動作させるために必要なキャパシタ容量を十分に得られなくなってしまう。キャパシタ絶縁膜115の膜厚を薄くするためには、酸化膜111上には、応力を有する膜を配置せざるを得ない。

【0009】従って本発明の目的は、熱処理工程の際にビット線が移動する心配の無い半導体メモリ及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】この目的を達成するために、請求項1の発明は、半導体基板の表面に形成されたメモリセルにデータを入出力させるためのビット線を備えた半導体メモリにおいて、前記ビット線の配線方向に沿って伸びる溝が半導体基板に積層された酸化膜に形成され、該溝に係合させてビット線が配置されていることを特徴とする。

【0011】この請求項1の半導体メモリにあつては、酸化膜に形成された溝に係合してビット線が配置されているので、酸化膜に対してビット線はしっかりと固定された状態となる。このため、ビット線の側面に応力が加わっても、ビット線は移動しない。

【0012】この請求項1の半導体メモリにおいて、ビット線の配線方向に直交する断面形状は、例えば請求項2に記載したような「T」字型、請求項3に記載したような「エ」字型、請求項4に記載したような溝の断面形状と同じ形状、などであっても良い。

【0013】また請求項5の発明は、半導体基板に積層された酸化膜上にビット線を形成する工程と、キャパシタ部を形成する工程を含む半導体メモリの製造方法において、前記酸化膜上のビット線形成予定領域にビット線の配線方向に沿って伸びる溝を予め形成する工程と、該溝に係合させてビット線を形成する工程を含むことを特徴とする。

【0014】この請求項5の製造方法により、酸化膜に対してビット線がしっかりと固定された、ビット線の移動の心配のない半導体メモリを製造することができる。

【0015】この請求項5の製造方法において、例えば請求項6に記載したように、前記溝を形成する工程が、前記酸化膜をエッチングする工程を含んでも良い。その場合、請求項7に記載したように、前記酸化膜が、互いにエッチングレートの異なる複数の酸化膜部を積層させた構成を備え、前記酸化膜をエッチングする工程により、溝の内側面に凹凸を形成させるように構成されていても良い。また、請求項8に記載したように、ビット線を形成する工程が、導体を堆積する工程と、該導体を所望の形状にエッチングする工程を含んでも良い。

【0016】

【発明の実施の形態】以下、本発明の好ましい実施の形態を、スタック（積層）型のメモリセルに基づいて説明する。図1、2は、本発明の第1の実施の形態にかかるメモリセルの製造工程を順を追って示している。なお、これら図1、2において左側に示した（a）は第1の実施の形態のメモリセルの構成をワード線4の配線方向に直交する断面で示しており、右側に示した（b）は同じメモリセルの構成をビット線10の配線方向に直交する断面で示している。

【0017】まず、図1（1）に示すように、半導体基板（P型シリコン基板）1上に選択酸化法を用いて、フィールド酸化膜2を形成し、半導体基板1上にメモリセルを製造するための分離領域を設ける。フィールド酸化膜2は、半導体基板1の表面を例えば1000℃、We 雰囲気中で熱酸化し、1000～8000オングストロームの厚さに形成する。また、ゲート酸化膜3を50～200オングストロームの厚さに熱酸化法で形成した後、ポリシリコンをLP-CVD法で1000～3000オングストロームの厚さに堆積し、リン等の不純物を熱拡散で $1\sim6\times10^{20}\text{cm}^{-3}$ 程度ドーピングする。更に、その上にCVD法で酸化膜を1000～3000オングストローム成長し、ホトリソ／エッチングにより、酸化膜とポリシリコンを加工してパターンニングすることにより、ワード線4を形成する。そして、LP-CVD法により酸化膜を500～3000オングストローム成長し、RIE法によりエッチングしてサイドウォール6を形成する。その後、イオン注入により、リン又はヒ素（As）をエネルギー10～100KeVで $1\text{E}14\sim16\text{cm}^{-2}$ 程度ドーピングして拡散層7を形成する。次に、常圧CVDにより、リンやボロンを含んだ第1の酸化膜（流動性を有する第1の酸化膜）8を3000～8000オングストローム成長する。

【0018】次に、この酸化膜8を800～1000℃の窒素雰囲気中でリフローを行った後、LP-CVD法により、エッチングストッパーとなる窒化膜17を100～1000オングストローム成長する。次いで、LP-CVD法により酸化膜（流動性のない第1の酸化膜）18を500～1000オングストローム成長し、ホトリソ／エッチングによりビットコンタクト9を開口する。

【0019】次に、この酸化膜18上のビット線10形成予定領域に、ビット線10の配線方向に沿って伸びる溝19を形成する（この溝19は、図1（2）の右側に示した（b）に現れる）。なお、第1の実施の形態では、溝19は、酸化膜18上のビット線10の形成予定領域に溝19のパターンのマスクを形成し、窒化膜17をストッパーとして酸化膜18をエッチングすることによって形成する。

【0020】次に、配線材料であるポリシリコンをCV

D法で500～3000オングストローム堆積し、溝19内にもポリシリコンを埋め込む。そして、リン等の不純物を $1\sim6\text{E}20\text{cm}^{-3}$ 程度ドーピングして導電性を持たせる。これはイオン注入法でも熱拡散法でもよい。次いで、ポリシリコン上に溝19よりも配線幅が太くなるように配線パターンをマスクを形成し、ポリシリコンをエッチングしてビット線10を形成する。なお、このマスクは、溝19の上方に溝19よりも幅の広い配線パターンを形成させるような形状にする。こうしてホトリソ／エッチングすることにより、図1(3)の(b)に示したように、ビット線10の配線方向に直交する断面形状は、「T」字型となり、ビット線10の下部10aが溝19に係合することにより、酸化膜18に対してビット線10はしっかりと固定された状態となる。

【0021】次に、図1(4)に示すように、常圧CVDによりリンやボロンを含んだ第2の酸化膜(流動性を有する第2の酸化膜)11を3000～8000オングストローム成長させ、800～1000℃の窒素雰囲気中でリフローを行った後、LP-CVD法により酸化膜12を1000オングストローム程度成長させる。この酸化膜12は、後述する工程で形成させるキャパシタ絶縁膜15を薄く形成し、十分なキャパシタ容量を確保するために必要な膜である。次いで、ホトリソ／エッチングによりセルコンタクト13を開口する。

【0022】次に、図2(5)に示すように、LP-CVD法で電極材料であるポリシリコンを1000～10000オングストローム程度成長し、イオン注入または熱拡散で $1\sim6\text{E}20\text{cm}^{-3}$ 程度のリンをドーピングして導電性をもたせる。そして、ホトリソ／エッチングを行うことによりストレージ電極14が形成される。次に、LP-CVD法によりキャパシタ絶縁膜15となる窒化膜を40～60オングストローム程度成長させる。このキャパシタ絶縁膜15を薄く形成し、十分なキャパシタ容量を確保する。更に、電極材料であるポリシリコンを形成し、不純物を $1\sim6\text{E}20\text{cm}^{-3}$ 程度ドーピングして導電性をもたせ、ホトリソ／エッチングによりセルプレート電極16を形成する。これにより、第1の実施の形態にかかる半導体メモリのメモリセルA₁が製造される。

【0023】以上のように製造されたメモリセルA₁は、半導体基板1の表面にはフィールド酸化膜2が形成され、隣接する他のセルと電気的に分離された状態になっている。ワード線4はゲート酸化膜3を介して配置されている。ワード線4(トランジスタ)の両サイドに拡散層7があり、ビットコンタクト9を介してビット線10は一方の拡散層7に接続されている。ワード線4とビット線10は酸化膜8、17、18により電気的に分離されている。ビット線10は、その配線方向に垂直な断面形状が「T」字型を有し、ビット線10の下部10aは酸化膜18に形成された溝19に係合した状態とな

っている。ストレージ電極14は、セルコンタクト13を介して他方の拡散層7に接続されている。ストレージ電極14は薄い絶縁膜15を介してセルプレート電極16との間に容量を形成している。

【0024】この第1の実施の形態にかかる半導体メモリにあっては、「T」字型を有するビット線10の下部10aが酸化膜18に形成された溝19に係合した構成になっているので、酸化膜18に対してビット線10はしっかりと固定された状態となる。このため、第2の酸化膜11を800～1000℃の窒素雰囲気中でリフローなどする際に、熱応力によってビット線10の側面に応力が加わっても、ビット線10は移動しない。

【0025】次に、図3、4は、本発明の第2の実施の形態にかかるメモリの製造工程を順を追って示している。なお、これら図3、4においても左側に示した(a)は第2の実施の形態のメモリの構成をワード線24の配線方向に直交する断面で示しており、右側に示した(b)は同じメモリの構成をビット線30の配線方向に直交する断面で示している。

【0026】まず、図3(1)に示すように、半導体基板21上にフィールド酸化膜22を形成してメモリの分離領域を設け、ゲート酸化膜23を形成する。その後、ポリシリコンを堆積して不純物ドーピングし、ホトリソ／エッチングによりワード線24を形成する。そして、サイドウォール26を形成する。その後、拡散層27を形成し、第1の酸化膜(流動性を有する第1の酸化膜)28を成長する。なお、ここまでの工程は、先に図1、2で説明した第1の実施の形態と同様である。

【0027】次に、この酸化膜28を800～1000℃、窒素雰囲気中でリフローを行った後、LP-CVD法により、窒化膜37を100～1000オングストローム成長する。次に、この第2の実施の形態においては、CVD法によりSPG(Phospho-Silicate-Glass)酸化膜40を500～1000オングストローム成長し、さらにLP-CVD法によりSPG酸化膜40とエッチングレートの異なるNSG酸化膜38を500～1000オングストローム成長させる。その後、ホトリソ／エッチングによりビットコンタクト29を開口する。

【0028】次に、図3(2)に示すように、これら酸化膜38、40上のビット線30形成予定領域に、ビット線30の配線方向に沿って伸びる溝39を形成する(この溝39は、図3(2)の右側に示した(b)に現れる)。なお、第2の実施の形態では、溝39は、NSG酸化膜38上のビット線30の形成予定領域に溝39のパターンのマスクを形成し、窒化膜37をストッパーとして酸化膜38、40を例えば希フッ酸などを用いてウェットエッチングすることによって形成する。このように希フッ酸などを用いたウェットエッチングを行うことにより、PSG酸化膜40とNSG酸化膜38のエッ

チングレートの違いにより、PSG酸化膜40がNSG酸化膜38よりも多くエッチングされることとなる。これにより、図3(2)の(b)に示したように、溝39の溝39の内側面に凹凸が形成され、溝39の幅が下部で広く、上部で狭い形状となる。

【0029】次に、配線材料であるポリシリコンをCVD法で500~3000オングストローム堆積し、溝39内にもポリシリコンを埋め込む。そして、リン等の不純物を $1\sim6\text{E}20\text{cm}^{-3}$ 程度ドーピングして導電性を持たせる。これはイオン注入法でも熱拡散法でもよい。次いで、ポリシリコン上に溝39の上部の幅よりも配線幅が太くなるように配線パターンマスクを形成し、ポリシリコンをエッチングしてビット線30を形成する。これにより、図3(3)の(b)に示したように、ビット線30の配線方向に直交する断面形状は、「エ」字型となり、ビット線30の下部30aが溝39に係合することにより、酸化膜38、40に対してビット線30はしっかりと固定された状態となる。なお、この第2の実施の形態では、先に説明したように、溝39の溝39の内側面が下部で広く、上部で狭い凹凸形状となっているので、第1の実施の形態に比べてビット線30の下部30aと酸化膜38、40の接触面積が広く、ビット線30は酸化膜38、40に対して更にしっかりと固定される。

【0030】次に、図3(4)に示すように、常圧CVDによりリンやボロンを含んだ第2の酸化膜31を3000~8000オングストローム成長させ、800~1000℃の窒素雰囲気中でリフローを行った後、LP-CVD法により酸化膜32を1000オングストローム程度成長する。この酸化膜32は、後述する工程で形成させるキャパシタ絶縁膜35を薄く形成し、十分なキャパシタ容量を確保するために必要な膜である。次いで、ホトリソ/エッチングによりセルコンタクト33を開口する。

【0031】次に、図4(5)に示すように、LP-CVD法で電極材料であるポリシリコンを1000~10000オングストローム程度成長し、イオン注入または熱拡散で $1\sim6\text{E}20\text{cm}^{-3}$ 程度のリンをドーピングし導電性をもたせる。そして、ホトリソ/エッチングを行うことによりストレージ電極34が形成される。次に、LP-CVD法によりキャパシタ絶縁膜35となる窒化膜を40~60オングストローム程度成長させる。更に、電極材料であるポリシリコンを形成し、不純物を $1\sim6\text{E}20\text{cm}^{-3}$ 程度ドーピングして導電性をもたせ、ホトリソ/エッチングによりセルプレート電極36を形成する。これにより、第2の実施の形態にかかる半導体メモリのメモリセルA2が製造される。

【0032】以上のように製造されたメモリセルA₂は、半導体基板21上にフィールド酸化膜22が形成され、隣接する他のセルと電気的に分離された状態にな

っている。ワード線24はゲート酸化膜23を介して配置されている。ワード線24(トランジスタ)の両サイドに拡散層27があり、ビットコンタクト29を介してビット線30は一方の拡散層27に接続される。ワード線24とビット線30は絶縁膜28、37、38により電気的に分離されている。ビット線30は、その配線方向に垂直な断面形状が「エ」字型を有し、ビット線30の下部30aは酸化膜38、40に形成された溝39に係合した状態となっている。ストレージ電極34はセルコンタクト33を介して他方の拡散層27に接続されている。ストレージ電極34は、薄い絶縁膜35を介してセルプレート36との間に容量を形成している。

【0033】この第2の実施の形態にかかる半導体メモリにあつては、「エ」字型を有するビット線30の下部30aが酸化膜38、40に形成された溝39に係合しており、溝39の溝39の内側面が下部で広く、上部で狭い凹凸形状となっているので、第1の実施の形態に比べてビット線30の下部30aと酸化膜38、40の接触面積が広く、ビット線30は酸化膜38、40に対して更にしっかりと固定される。このため、第2の酸化膜31を800~1000℃の窒素雰囲気中でリフローなどする際にも、ビット線30の移動をより確実に抑止できる。

【0034】次に、図5、6は、本発明の第2の実施の形態にかかるメモリセルの製造工程を順を追って示している。なお、これら図5、6においても左側に示した

(a)は第3の実施の形態のメモリセルの構成をワード線44の配線方向に直交する断面で示しており、右側に示した(b)は同じメモリセルの構成をビット線50の配線方向に直交する断面で示している。

【0035】先ず、図5(1)に示すように、半導体基板41上にフィールド酸化膜42を形成してメモリセルの分離領域を設け、ゲート酸化膜43を形成する。その後、ポリシリコンを堆積して不純物ドーピングし、ホトリソ/エッチングによりワード線44を形成する。そして、サイドウォール46を形成する。その後、拡散層47を形成し、第1の酸化膜(流動性を有する第1の酸化膜)48を成長する。なお、ここまでの工程は、先に図1、2で説明した第1の実施の形態と同様である。

【0036】次に、この酸化膜8を800~1000℃の窒素雰囲気中でリフローを行った後、LP-CVD法により、エッチングストッパーとなる窒化膜57を100~1000オングストローム成長する。次いで、LP-CVD法によりNSG酸化膜58を500~1000オングストローム成長させる。その後、ホトリソ/エッチングによりビットコンタクト49を開口する。

【0037】次に、図5(2)に示すように、この酸化膜58上のビット線50形成予定領域に、ビット線50の配線方向に沿って伸びる溝59を形成する(この溝59は、図5(2)の右側に示した(b)に現れる)。な

お、第3の実施の形態では、溝59は、第1の実施の形態と同様に、酸化膜58上のビット線50の形成予定領域に溝59のパターンのマスクを形成し、窒化膜57をストッパーとして酸化膜58をエッチングすることによって形成する。

【0038】次に、配線材料であるポリシリコンをCVD法で500～3000オングストローム堆積し、溝59内にもポリシリコンを埋め込む。そして、リン等の不純物を $1\sim6E20\text{cm}^{-3}$ 程度ドーピングして導電性を持たせる。これはイオン注入法でも熱拡散法でもよい。次いで、ポリシリコンをエッチバックし、酸化膜58を露出させる。これにより、図5(3)の(b)に示されるように、酸化膜58の溝59内に埋め込まれたような断面形状をもったビット線50を形成することができる。なお、この第3の実施の形態では、ビット線50を形成する際に、配線パターンのマスクを形成する必要がない。

【0039】次に、図5(4)に示すように、常圧CVDによりリンやボロンを含んだ第2の酸化膜51を3000～8000オングストローム成長させ、800～1000℃の窒素雰囲気中でリフローを行った後、LP-CVD法により酸化膜52を1000オングストローム程度成長する。この酸化膜52は、後述する工程で形成させるキャパシタ絶縁膜55を薄く形成し、十分なキャパシタ容量を確保するために必要な膜である。次いで、ホトリソ/エッチングによりセルコンタクト53を開口する。

【0040】次に、図6(5)に示すように、LP-CVD法で電極材料であるポリシリコンを1000～10000オングストローム程度成長し、イオン注入または熱拡散で $1\sim6E20\text{cm}^{-3}$ 程度のリンをドーピングし導電性をもたせる。そして、ホトリソ/エッチングを行うことによりストレージ電極54が形成される。次に、図6(6)に示すように、LP-CVD法によりキャパシタ絶縁膜55となる窒化膜を40～60オングストローム程度成長させる。更に、電極材料であるポリシリコンを形成し、不純物を $1\sim6E20\text{cm}^{-3}$ 程度ドーピングして導電性をもたせ、ホトリソ/エッチングによりセルプレート電極56を形成する。これにより、第3の実施の形態にかかる半導体メモリのメモリセルA3が製造される。

【0041】以上のように製造されたメモリセルA3は、図6(6)に示すように、半導体基板41上にフィールド酸化膜42が形成され、隣接する他のセルと電氣的に分離された状態になっている。ワード線44はゲート酸化膜43を介して配置されている。ワード線44(トランジスタ)の両サイドに拡散層47があり、ビットコンタクト59を介してビット線50は一方の拡散層47に接続される。ワード線44とビット線50は絶縁膜48、47、58により電氣的に分離されている。ビット線50は、その配線方向に垂直な断面形状が酸化膜

58の溝59内に埋め込まれたような形状を有する。ストレージ電極54はセルコンタクト53を介して他方の拡散層47に接続されている。ストレージ電極54は、薄い絶縁膜55を介してセルプレート56との間に容量を形成している。

【0042】この第3の実施の形態にかかる半導体メモリにあつては、ビット線50が酸化膜58の溝59内に埋め込まれた形状を有しており、第1、2の実施の形態と同様に、ビット線50は酸化膜58に対して固定されるので、第2の酸化膜51を800～1000℃の窒素雰囲気中でリフローなどする際にも、ビット線50の移動を押さえることができる。更に、この第3の実施の形態では、ビット線50を形成する際に、配線パターンのマスクを形成する必要がなくホトリソ工程を省略でき、第1、2の実施の形態に比べて、製造工程が少なく済む。

【0043】以上、本発明の好ましい実施の形態を説明したが、本発明は以上の形態に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例、修正例に想到し得ることは明らかであり、それらも当然に本発明の技術的範囲に含まれる。

【0044】

【発明の効果】本発明によれば、酸化膜に対してビット線がしっかりと固定されているので、ビット線の側面に応力に加わってもビット線は移動しない。このように、ビット線を流動性のない酸化膜で固定しているため、ビット線上に流動性を有する膜を配した場合でも、キャパシタ形成工程などにおいて熱処理を行なった際に、ビット線の移動がないので、高歩留まりが得られる。

【0045】また本発明によれば、キャパシタ絶縁膜を薄くできるので、従来に比べてキャパシタ容量が飛躍的に大きいメモリセルを形成できる。例えば64MbDRAMを例として具体的な効果を説明すると次のようになる。64MbDRAMのセルサイズを $1.52\times0.8\mu\text{m}^2$ とすると、ストレージ電極のサイズは $1.2\times0.52\mu\text{m}^2$ である。キャパシタ絶縁膜の実効的な膜厚を70オングストロームとすると、従来のメモリセルの容量C1は、 $C1=3.9\times8.854E-14\times2.730E-8/70E-8=1.346E-15$ [F]=13.46 [fF]となる。本発明によれば、キャパシタ絶縁膜の膜厚を薄く形成することが可能になるので、キャパシタ絶縁膜の実効的な膜厚を50オングストロームとすると、その容量C2は、 $C2=3.9\times8.854E-14\times2.730E-8/50E-8=1.884E-14$ [F]=18.8 [fF]となる。従って、従来例に比べて約40%の容量増加を達成できる。

【図面の簡単な説明】

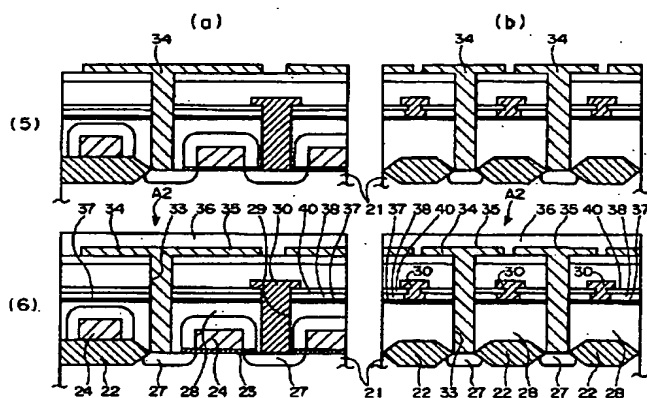
【図1】本発明の第1の実施の形態にかかるメモリセル

【図6】本発明の第3の実施の形態にかかるメモリセルの製造方法の説明図である。

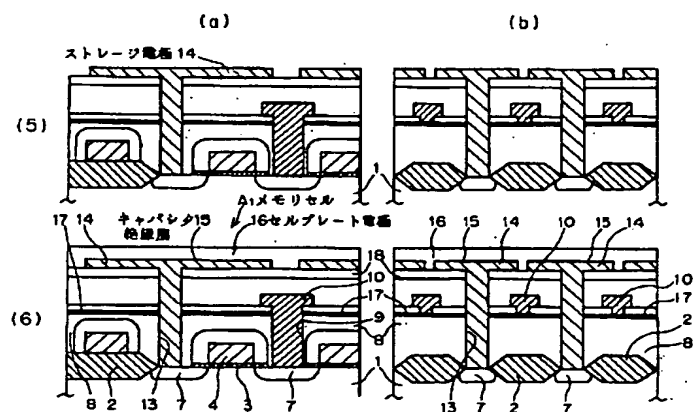
【符号の説明】

- | | |
|----|----------|
| 1 | 半導体基板 |
| 2 | フィールド酸化膜 |
| 3 | ゲート酸化膜 |
| 4 | ワード線 |
| 7 | 拡散層 |
| 10 | ビット線 |
| 18 | 酸化膜 |
| 19 | 溝 |

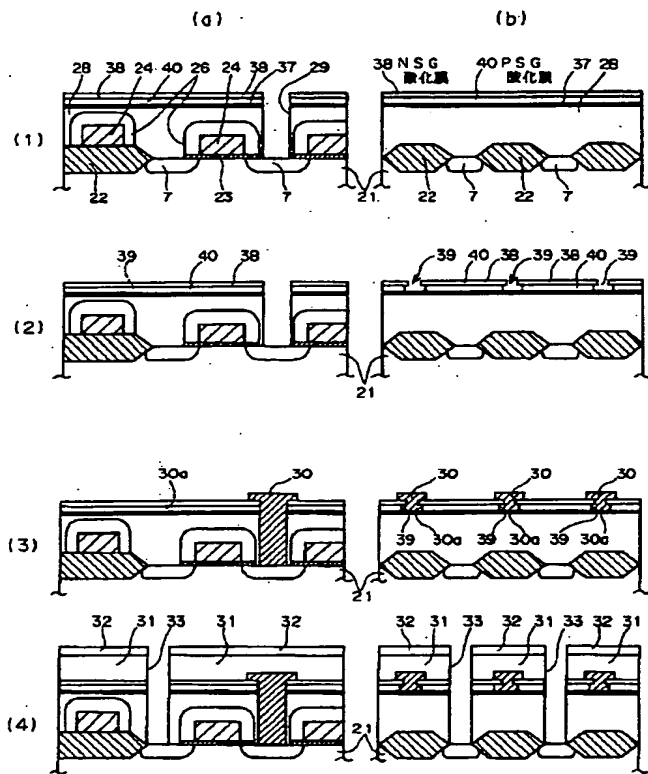
【図4】



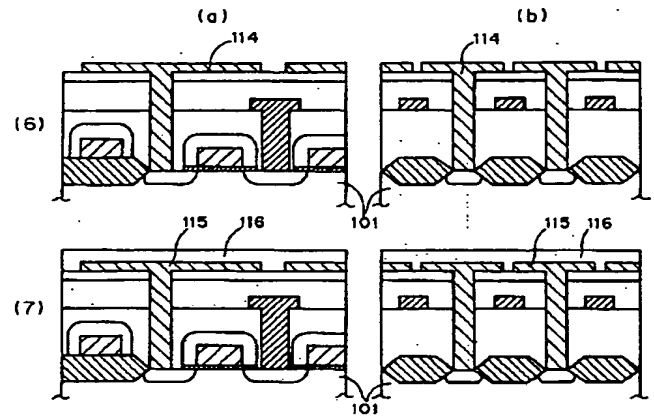
【図2】



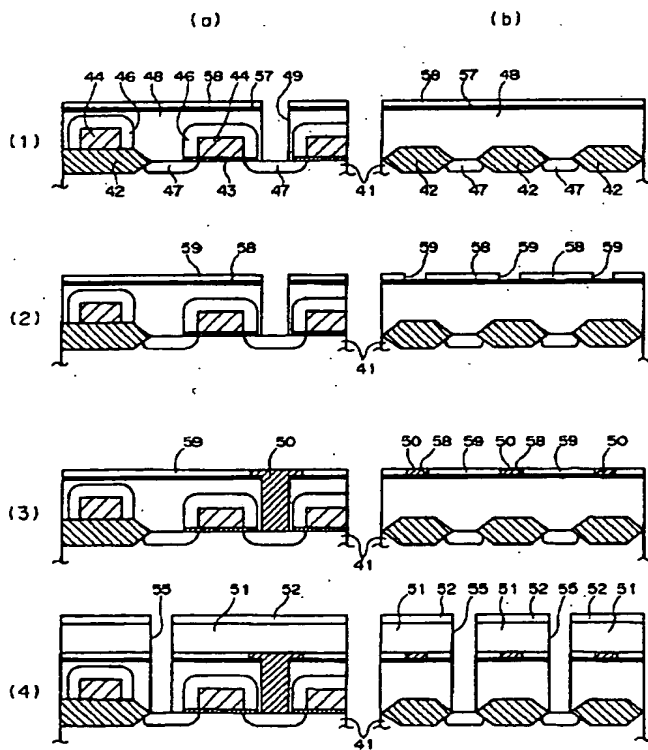
【図3】



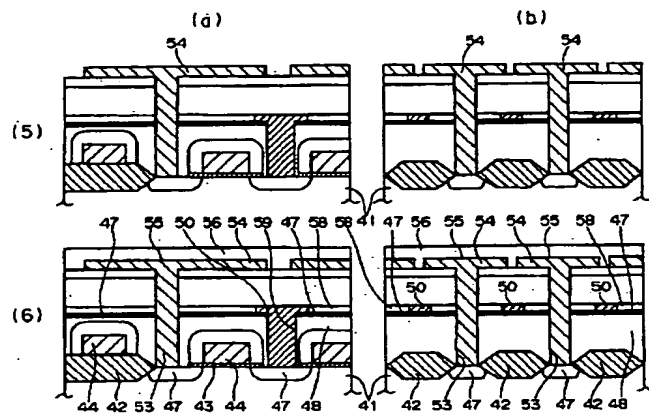
【図8】



【図5】



【図6】



【図7】

